

PAT-NO: JP404192564A
DOCUMENT-IDENTIFIER: JP 04192564 A
TITLE: TRANSISTOR AND ITS MANUFACTURE
PUBN-DATE: July 10, 1992

INVENTOR-INFORMATION:
NAME
KOU, RISHIYOU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP02324799
APPL-DATE: November 27, 1990

INT-CL (IPC): H01L029/784, H01L021/205 , H01L021/336
US-CL-CURRENT: 257/329

ABSTRACT:

PURPOSE: To enhance an integration degree by a method wherein semiconductor layers into which impurities of a first conductivity type to a third conductivity type have been introduced are laminated sequentially, a pillar-shaped or flat boardlike structure is formed and an electrode for current control use is formed, via an insulating film, on the side face of the pillar-shaped or flat boardlike structure.

CONSTITUTION: The following are laminated sequentially on a substrate 1 to form a pillar-shaped or flat boardlike structure: a semiconductor layer 11 into which impurities of a first conductivity type have been introduced; a semiconductor layer 12 into which impurities of a second conductivity type have been introduced; and a semiconductor layer 13 into which impurities

of a third conductivity type have been introduced. An electric current for current control use is formed, via an insulating film, on the side face of the pillar-shaped or flat boardlike structure. Consequently, the area in only two regions at the cross section of a gate and a transistor is occupied; the area is reduced; the area is reduced by a portion where the spread in the transverse direction of a lower- part diffusion layer is small. Thereby, the integration degree of the transistor can be enhanced.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-192564

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月10日

H 01 L 29/784
21/205
21/336

7739-4M

9168-4M H 01 L 29/78
9168-4M

3 2 1 X
3 2 1 Y

審査請求 未請求 請求項の数 6 (全8頁)

⑭ 発明の名称 トランジスタ及びその製造方法

⑯ 特 願 平2-324799

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 黄 俐 昭 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 菅 野 中

明 細 書

1. 発明の名称

トランジスタ及びその製造方法

2. 特許請求の範囲

(1) 基板上に、第1の導電型の不純物を導入した半導体層、第2の導電型の不純物を導入した半導体層、第1の導電型の不純物を導入した半導体層を順次積層した柱状もしくは平板状の構造を有し、さらに柱状もしくは平板状の構造の側方に、絶縁膜を介して電流制御用の電極を有することを特徴とするトランジスタ。

(2) 絶縁体に設けたスリット状の領域に、第1の導電型の不純物を導入する半導体層、第2の導電型の不純物を導入する半導体層、第1の導電型の不純物を導入する半導体層を順次選択的かつエピタキシャルに成長させたのち、絶縁体を一部除去し、半導体層との間に絶縁膜を介して制御電極を設けることを特徴とするトランジスタの製造方法。

(3) 絶縁体中に制御電極を埋め込んだ構造に隣

接したスリットを設け、このスリット状の領域に半導体層を選択的かつエピタキシャルに成長させ、かつ半導体の成長と同時に不純物を導入するか、あるいは成長中、ある段階においてイオン注入、あるいは拡散により不純物を導入するか、あるいは成長終了後に不純物を導入することを特徴とするトランジスタの製造方法。

(4) 基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板を露出させ、続いてアモルファス又は多結晶の半導体膜を基板上に堆積させ、さらにこれを絶縁体膜で覆ったのち、アモルファス又は多結晶の半導体膜を、レーザービーム、電子ビーム、電気ヒーター等の熱源により熔融再結晶化することにより、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造することを特徴とするトランジスタの製造方法。

(5) 基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板

を露出させ、続いてアモルファス又は多結晶の半導体膜を基板上に堆積させ、これを基板をシードとして結晶の固相成長を行うことにより単結晶化させ、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造することを特徴とするトランジスタの製造方法。

(6) 基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板を露出させ、続いてスペーサーとなる物質を基板上に堆積させ、続いて絶縁膜を堆積し、絶縁膜をエッチバックしてスペーサーを露出させ、スペーサーを絶縁膜に対して選択的にエッチングすることに基板表面に平行でない方向に絶縁体のスリットを設け、基板をシードとし、このスリット中に半導体層を選択的かつエピタキシャルに成長させ、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造することを特徴とするトランジスタの製造方法。

層、38はゲート酸化膜、39はゲート電極、40は第1の拡散層、41は第2の拡散層、42はパンチスルーキラーである。

また、加賀らは1989アイ・イー・ディー・エム テクニカルダイジェスト(1989 IEDM Tech. Dig.) 833ページにデルタ(Delta)と呼ばれるトランジスタを提案している。これは第5図に示すように、基板に対して垂直に立った平板状の半導体領域を形成し、ソース、チャネル、ドレインを横方向に形成するものである。図中、45はゲート酸化膜、46はゲート電極、47はソース、48はドレイン、43はシリコン基板、44は第1のSiO₂膜である。

(発明が解決しようとする課題)

MOSFETにより構成されるLSIにおいて、集積度の向上を図るには、MOSFETの各寸法の縮小を図ることが必要である。しかし、例えばゲート長に關していえば、現状では0.3〜0.4μm程度以下にすることは困難である。これに

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、メモリ、論理回路等の高集積性を要求される半導体装置に利用されるトランジスタの構造及び製造方法に関する。

(従来の技術)

従来、トランジスタの占有面積を縮小するための試みとして、縦型のMOS型電界効果トランジスタを作製する試みがなされている。

例えば、須之内らは1989アイ・イー・ディー・エム テクニカルダイジェスト(1989 IEDM Tech. Dig.) 23ページに第4図(a)、(b)に示した構造を持つエス・ジー・ティー(SGT)と呼ばれるトランジスタを提案している。これは柱状の形状の持つトランジスタで、上部よりドレイン領域、チャネル領域が存在し、それより下部の領域には側方(第4図(a))あるいは柱状形状の側壁(第4図(b))にソース領域が存在する。図中、35はシリコン基板、36はドレイン拡散層、37はソース拡散

に対して、通常のトランジスタ動作に必要なシリコン層の厚さは数十〜数百Åであり、実際厚さ数百ÅのSOI MOSFETが試作され、数多くの報告がなされている(例えばアイ・イー・イー・イー・トランザクション・オブ・エレクトロニクスデバイスレターズ7巻244ページ[IEEE, EDL-7, 244(1986)])。そこで集積度を向上させるために、薄膜状のトランジスタを、基板に対して垂直に配置する方法が考えられる。

第5図に示した従来例ではソース、ゲート、ドレインの三つの領域がそれぞれ面積を占有してしまふ。また第4図(a)の従来例ではソースがトランジスタの側方にあるため、余分な面積を占有し、設計の自由度が減る。第4図(b)の従来例ではソースの不純物を側方から導入するためのプロセスが複雑で、かつ不純物プロファイルの制御に精密さが要求される。

次に、従来例(第4図、第5図)のような縦型トランジスタでは、エッチングにより基板を掘り

下げることにより、平板上あるいは柱状の構造（以下縦型トランジスタ基板と呼ぶ）を形成する。しかし、一般に垂直にエッチングを行うのは困難であり、縦型トランジスタ基板の膜厚が一定でなくなる。また、エッチングのマスクとなる幅の狭いレジストパターンを形成することも困難である。基板が薄く、チャンネル領域の空乏層が基板付近まで届くいわゆる完全空乏化SOI MOSFETでは、トランジスタ特性が膜厚に敏感に依存するため、膜厚の制御は重要な課題である。

また、従来例（第4図、第5図）のような縦型トランジスタでは、不純物導入に斜めイオン注入を用いるなど、イオン注入により形成される不純物プロファイルの制御に高度な配慮が必要である。

本発明の目的は、前記課題を解決したトランジスタ及びその製造方法を提供することにある。

〔課題を解決するための手段〕

前記目的を達成するため、本発明に係るトランジスタは、基板上に、第1の導電型の不純物を導入した半導体層、第2の導電型の不純物を導入し

また、本発明に係るトランジスタの製造方法は、基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板を露出させ、続いてアモルファス又は多結晶の半導体膜を基板上に堆積させ、さらにこれを絶縁体膜で覆ったのち、アモルファス又は多結晶の半導体膜を、レーザービーム、電子ビーム、電気ヒーター等の熱源により熔融再結晶化することにより、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造するものであり、

また、基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板を露出させ、続いてアモルファス又は多結晶の半導体膜を基板上に堆積させ、これを基板をシードとして結晶の固相成長を行うことにより単結晶化させ、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造するものである。

さらに、本発明に係るトランジスタの製造方法

た半導体層、第1の導電型の不純物を導入した半導体層を順次積層した柱状もしくは平板状の構造を有し、さらに柱状もしくは平板状の構造の側方に、絶縁膜を介して電流制御用の電極を有するものである。

また、本発明に係るトランジスタの製造方法は、絶縁体に設けたスリット状の領域に、第1の導電型の不純物を導入する半導体層、第2の導電型の不純物を導入する半導体層、第1の導電型の不純物を導入する半導体層を順次選択的かつエピタキシャルに成長させたのち、絶縁体を一部除去し、半導体層との間に絶縁膜を介して制御電極を設けるものであり、

また、絶縁体中に制御電極を埋め込んだ構造に隣接したスリットを設け、このスリット状の領域に半導体層を選択的かつエピタキシャルに成長させ、かつ半導体の成長と同時に不純物を導入するか、あるいは成長中、ある段階においてイオン注入、あるいは拡散により不純物を導入するか、あるいは成長終了後に不純物を導入するものである。

は、基板上に絶縁体よりなるパターンを設け、このパターンの側方、パターンのない部分に基板を露出させ、続いてスペーサーとなる物質を基板上に堆積させ、続いて絶縁膜を堆積し、絶縁膜をエッチバックしてスペーサーを露出させ、スペーサーを絶縁膜に対して選択的にエッチングすることにより基板表面に平行でない方向に絶縁体のスリットを設け、基板をシードとし、このスリット中に半導体層を選択的かつエピタキシャルに成長させ、基板表面に対して平行でない方向に、平板状もしくは柱状あるいはこれらを組み合わせた形状のトランジスタ基板を製造するものである。

〔作用〕

第2図(a)、(b)に請求項(1)の発明に基づくMOSFETの一例を示す。

図において、20はシリコン基板、21は第1のSiO₂膜、22はスリット、23は第1のシリコン層、24は第2のシリコン層、25は第3のシリコン層、26は第2のSiO₂膜、27はポリシリコン膜である。

従来例（第5図）では、ソース、チャネル、ドレイン、ゲートの4領域が面積を占有するのに対し、本発明では、ゲート及びトランジスタの断面の2領域だけが面積を占有し、面積が節減される。従来例（第4図（a））に対しては、下部拡散層の横方向の広がりが少ない分面積の節減になる。従来例（第4図（b））に対しては、下部拡散への電極の付加が容易な点で本発明は優れる。

請求項（2）の発明は、低温で不純物をドーピングしながらエピタキシャル成長を行うことにより、特に縦型トランジスタを斜めイオン注入により形成する際問題になるイオン注入時の不純物のプロファイルの広がり、あるいはイオン注入後の不純物を活性化する熱処理に伴う不純物の拡散を防ぐことができる。

請求項（3）の発明は、膜が堆積する際、現行のプロセスにおいても、信頼性が高く、かつ精密な膜厚制御が可能であることを利用することにより、ゲート電極の位置を決定し、余分な寄生容量を低減することができる。

膜（第2のSiO₂、膜）3をLPCVDにより堆積し、第2のポリシリコン膜3へのリンの拡散を行い、通常の写真リソグラフィ工程及びドライエッチングにより第2のポリシリコン膜3をパターンニングし、ECRプラズマCVDにより、ポリシリコン膜（SiO₂、膜）4をポリシリコン膜3が存在する領域では膜厚が2000Å、第2のポリシリコン膜3が存在しない領域では膜厚が5000Åとなり、SiO₂、膜4の表面が平坦となるように堆積し、第1図（a）に示した形状を得る。

次に、第1図（b）に示すように、ウェハの上面から見て、ポリシリコン膜4のある領域5を横断するように矩形的開口部6をリソグラフィ工程及びドライエッチング工程により設ける。矩形的長辺は例えば1.0μm、短辺は5000Åとする。このとき、開口部6では第1のSiO₂、膜2、ポリシリコン膜4、第2のSiO₂、膜3が除去され、シリコン基板1が露出するようにする。そして、等方性のエッチングにより、ポリシリコン膜4を50Åエッチングし、続いて、熱酸化による

請求項（4）、（5）の発明は、膜厚制御性の良いアモルファスあるいは多結晶半導体膜の堆積プロセスに基づいて、縦型トランジスタ基板の膜厚が決定できるため、エッチングにより縦型トランジスタ基板を形成した際発生する膜厚の不均一性を回避することができる。

請求項（6）の発明は、膜厚制御性の良いスペーサー物質の堆積プロセスに基づいて、縦型トランジスタ基板の膜厚が決定できるため、エッチングにより縦型トランジスタ基板を形成した際発生する膜厚の不均一性を回避することができる。

〔実施例〕

以下、本発明の実施例を図により説明する。

（実施例1）

請求項（1）、（3）、（6）の発明に基づくトランジスタの製造方法を第1図（a）～（f）に示す。

第1図（a）に示すように、P型シリコン基板1を2000Å熱酸化し、第1のSiO₂、膜2を形成し、続いて3000Åの第2のポリシリコン

100Åの第3のSiO₂、膜7の形成、ドライエッチングによる開口部6の酸化膜の除去を行い、1000ÅのポリシリコンをLPCVDにより堆積したあと、ドライエッチングによりポリシリコン膜7を1000Åエッチングし、開口部6の側壁に第2のポリシリコン膜8を残し、第1図（b）に示した形状を得る。

次に第1図（c）に示すように、LPCVDにより第4のSiO₂、膜9を5000Å堆積し、ドライエッチングにより5000Åのエッチングを行い、開口部6を第4のSiO₂、膜9により埋める。そして第2のポリシリコン膜7をエッチングにより除去し、スリット10を形成し、第1図（c）に示した形状を得る。

次に、第1図（d）に示すように、酸化膜上にはシリコンが成長しない選択エピタキシャル成長により、スリット10の中に、基板と同一導電型の第1導電型の不純物、例えばボロンを3×10¹⁷cm⁻³ドーピングした第1のシリコン層11を1000Å、第2導電型の純物、例えばヒ素を1×10¹⁷cm⁻³

1stcm⁻¹ドープした第2のシリコン層12を1500Å、ボロンを5×10¹⁷cm⁻³ドープした第3のシリコン層13を2000Å、ヒ素を1×10¹⁷cm⁻³ドープした第4のシリコン層14を2500Åだけそれぞれ成長させ、第1図(d)に示した形状を得る。

次に開口部6の端部に位置する第2の開口15をフォトリソグラフィ及びドライエッチングに行う。このとき第2の開口15の領域にある第1のSiO₂膜2、第2のSiO₂膜3、第2のポリシリコン膜4はすべて除去する。第2の開口15の寸法は、例えば0.3μm角とする。そしてLPCVDにより第5のSiO₂膜16を3000Å堆積し、コンタクト開口17において、第2のポリシリコン膜4、第3のシリコン層13、第4のシリコン層14、第2のSiO₂膜8のすべてと、第1のシリコン層11の上部500Åをドライエッチングにより除去する。このとき、コンタクト開口17の寸法は0.4μm角とする。そして熱酸化により、コンタクト開口17に露出した

第1のポリシリコン膜4、第3のシリコン層13、第4のシリコン層14の側面、第1のシリコン層11の上面に200Åの第6のSiO₂膜18を設け、さらに第7のSiO₂膜19をLPCVDにより1000Å堆積し、ドライエッチングによりコンタクト開口17の付近にある第6のSiO₂膜18と第7のSiO₂膜19を除去する。そして、第4のシリコン層14及び第1のポリシリコン膜4に対して通常のコンタクトホールを開け、通常の工程で配線を形成すると、第1図(f)に示した縦型トランジスタを得る。

(実施例2)

第2図(a)、(b)に、請求項(2)に基づくトランジスタの製造方法を示す。

第2図(a)に示すように、第1の導電型のシリコン基板20の表面に熱酸化により第1のSiO₂膜21を5000Å形成する。続いて通常のリソグラフィ及びドライエッチングによりスリット22を形成し、第2図(a)の形状を得る。

選択的エピタキシャル成長により、第2の導電

型の第1のシリコン層23、第1の導電型の第2のシリコン層24、第1の導電型の第3のシリコン層25をこの順にそれぞれ1500Å、2000Å、1500Åそれぞれ形成し、第1のSiO₂膜を4000Åドライエッチングにより除去する。

熱酸化により第2のSiO₂膜26を1000Å形成し、ポリシリコン膜27を1000Å堆積し、続いて1000Åポリシリコン膜27をドライエッチングし、第2図(b)の形状を得る。このとき、ポリシリコン膜27には成長中に不純物のドーピングを行う。

(実施例3)

第3図(a)、(b)、(c)に、請求項(4)に基づくトランジスタの製造方法を示す。

第3図(a)に示すように、シリコン基板28の表面に熱酸化により第1のSiO₂膜29をパターンニングし、第1のポリシリコン膜30を1000ÅLPCVDにより堆積し、続いて1000Åのポリシリコンに対するドライエッチングを行

い、第3図(a)の構造を得る。ここで、第1のSiO₂膜29のスペースは5000Åとする。

第3図(b)に示すように、続いて3000Åの第2のSiO₂膜31のLPCVDによる堆積、SiO₂膜に対する3000Åのドライエッチングを行い、レーザーアニールにより第1のポリシリコン膜30を単結晶化し、単結晶シリコン膜32を形成し、第3図(b)の形状を得る。

第3図(c)に示すように、続いてドライエッチングにより単結晶シリコン膜32をパターンニングし、第1のSiO₂膜29を4000Åドライエッチングし、斜めイオン注入により第1の導電型の不純物を注入し、単結晶シリコン膜32の表面を200Å熱酸化し、第2のSiO₂膜33を形成したのち、第2のポリシリコン膜34を2000Å堆積し、ドライエッチングにより第2のポリシリコン膜34をパターンニングし、斜めイオン注入により第2の導電型の不純物を注入して、第3図(c)の形状を得る。

請求項(5)に基づく方法では第2のSiO₂膜

膜 31 を省略することができる。

〔発明の効果〕

以上説明したように、請求項 (1) の発明によれば、トランジスタの集積度を著しく向上させることができる。

また、請求項 (2) の発明では、トランジスタの集積度を著しく向上させるとともに、不純物分布の制御性を向上させることができる。

また、請求項 (3) の発明では、トランジスタ製造プロセスの自由度を向上させることができる。

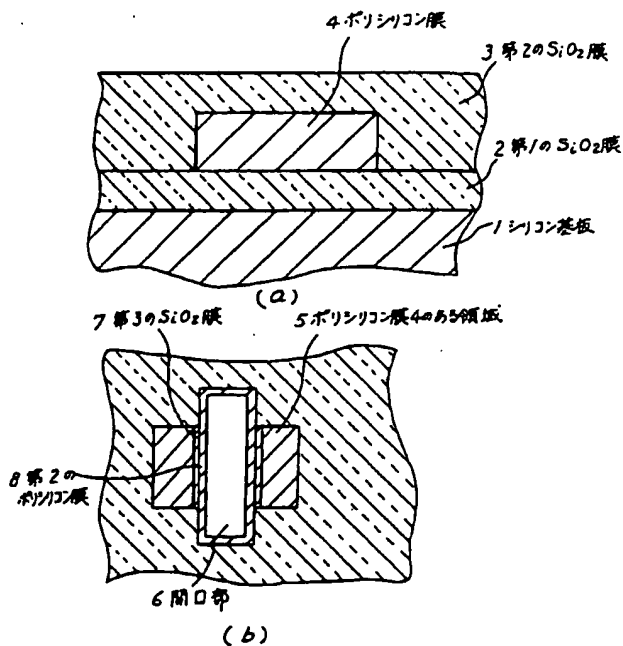
さらに、請求項 (4), (5), (6) の発明によれば、縦型トランジスタ基板の膜厚を高精度に制御することができる。

4. 図面の簡単な説明

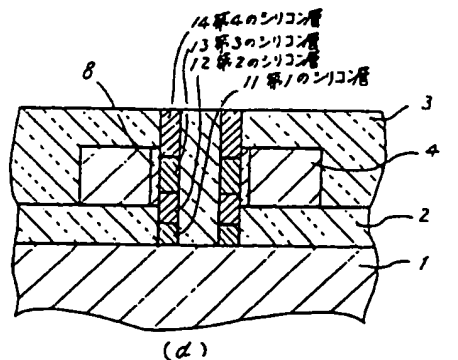
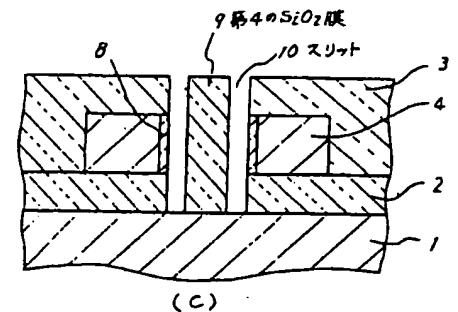
第1図 (a), (b), (c), (d), (e), (f) は、本発明の実施例1に係る製造方法を工程順に示した断面図、第2図 (a), (b) は、本発明の実施例2に係る製造方法を工程順に示した断面図、第3図 (a), (b), (c) は、本発明の実施例3に係る製造方法を工程順に示した

断面図、第4図 (a), (b), 第5図は、従来例を示す断面図である。

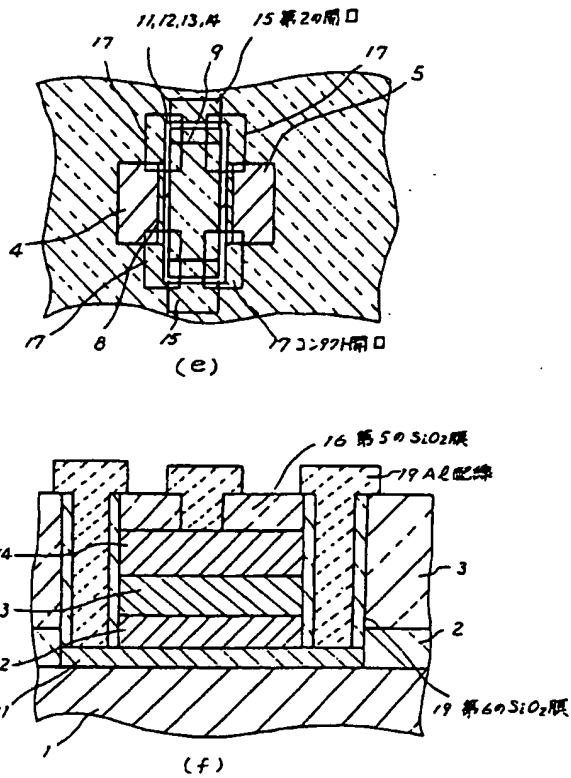
- 1, 20, 28…シリコン基板
2, 21…第1のSiO₂膜
3…第2のSiO₂膜 4…ポリシリコン膜
5…ポリシリコン膜4のある領域
6…開口部 7…第3のSiO₂膜
8…第2のポリシリコン膜 9…第4のSiO₂膜
10, 22…スリット
11, 23…第1のシリコン層
12, 24…第2のシリコン層
13, 25…第3のシリコン層
14…第4のシリコン層 15…第2の開口
16…第5のSiO₂膜 17…コンタクト開口
18…第6のSiO₂膜 19…第7のSiO₂膜
29…第1のSiO₂膜
30…第1のポリシリコン膜
31, 33…第2のSiO₂膜
32…単結晶シリコン
34…第2のポリシリコン膜



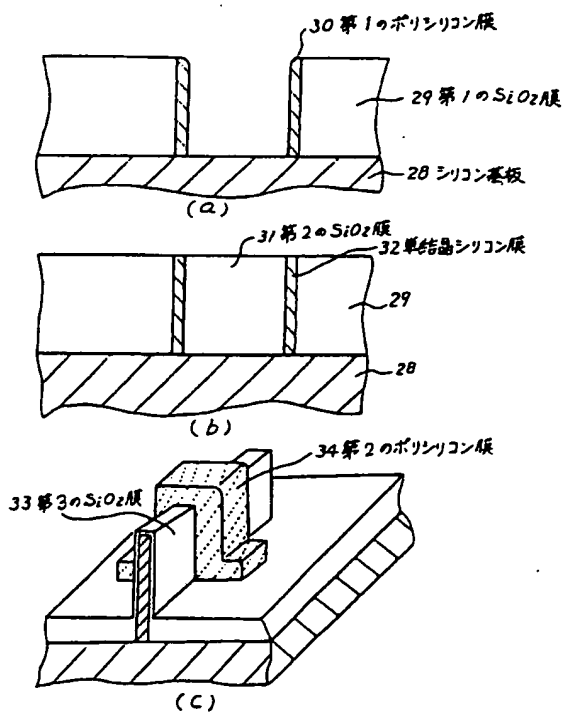
第 1 図



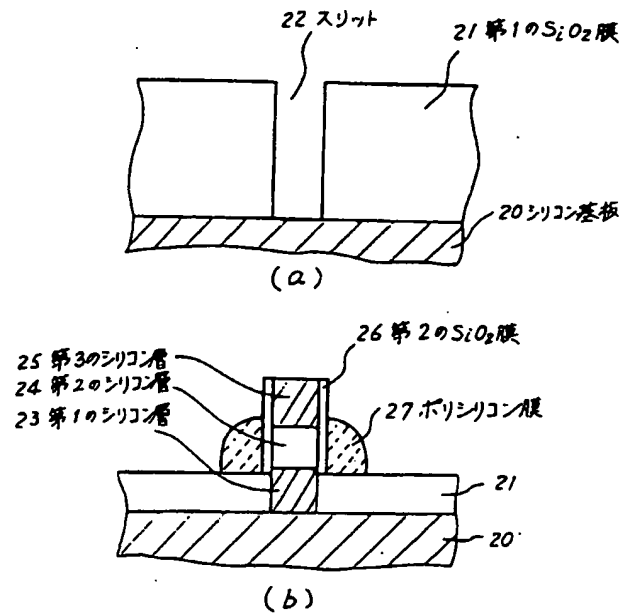
第 1 図



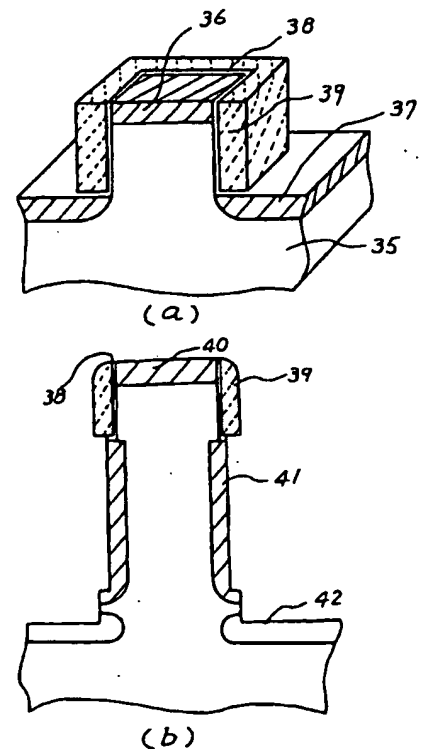
第 1 図



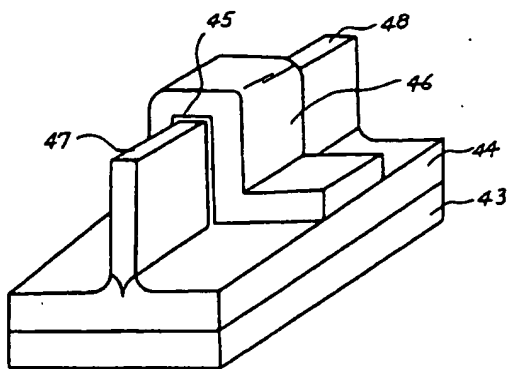
第 3 図



第 2 図



第 4 図



第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.